

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 9 月 9 日
Date of Application:

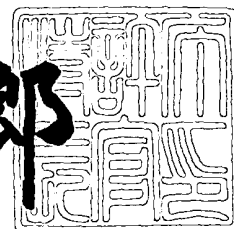
出 願 番 号 特 願 2 0 0 2 - 2 6 3 1 5 8
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 2 6 3 1 5 8]

出 願 人 シャープ株式会社
Applicant(s):

2 0 0 3 年 7 月 1 0 日

特 許 長 官
Commiss. ner,
Japan Paten. Office

太田信一郎



出証番号 出証特 2 0 0 3 - 3 0 5 5 6 9 3

【書類名】 特許願

【整理番号】 02J02358

【提出日】 平成14年 9月 9日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/20
H01L 31/02

【発明の名称】 半導体基板の製造方法、半導体基板及び半導体装置

【請求項の数】 6

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 竹中 正浩

【特許出願人】

【識別番号】 000005049

【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100065248

【弁理士】

【氏名又は名称】 野河 信太郎

【電話番号】 06-6365-0718

【手数料の表示】

【予納台帳番号】 014203

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9003084

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体基板の製造方法、半導体基板及び半導体装置

【特許請求の範囲】

【請求項1】 表面がシリコンからなる基板上に、第1のバッファSi層を形成し、該第1のバッファSi層上に第1の歪みSiGe層と第1のSi層とを連続的にエピタキシャル成長させる工程と、得られた基板に、イオン注入し、アニールして、前記第1の歪みSiGe層を格子緩和させ、かつ第1のSi層に引張り歪みをもたせる工程と、得られた基板上に第2のバッファSi層と第2のSiGe層とを連続的にエピタキシャル成長させ、該第2のSiGe層上に引張り歪みをもつ第2のSi層を形成する工程とを有することを特徴とする半導体基板の製造方法。

【請求項2】 第2のバッファ層を形成する前に、第1のSi層表面を洗浄して残留酸素濃度を抑える工程を含む請求項1に記載の方法。

【請求項3】 第1のSiGe層を、臨界膜厚以下の膜厚で形成する請求項1～3のいずれか1つに記載の方法。

【請求項4】 表面がシリコンからなる基板上に、第1のバッファSi層、第1のSiGe層、第1のSi層、第2のバッファSi層、第2のSiGe層及び引張り歪みをもつ第2のSi層がこの順に積層されて構成され、

前記第1のSiGe層と第1のSi層との界面、第1のSi層と第2のバッファSi層との界面及び／又は第2のバッファSi層と第2のSiGe層との界面の酸素濃度が $1 \times 10^{16} \text{ cm}^{-3}$ 以下であることを特徴とする半導体基板。

【請求項5】 表面がシリコンからなる基板上に、第1のバッファSi層、第1のSiGe層、第1のSi層、第2のバッファSi層、第2のSiGe層及び引張り歪みをもつ第2のSi層がこの順に積層された基板上に、ゲート絶縁膜を介してゲート電極と、ソース／ドレインとが形成されてなり、

前記第1のSiGe層と第2のSiGe層との合計膜厚が、前記ドレインに電圧が印加された場合に広がる空乏層の広がり以上となるように設定されていることを特徴とする半導体装置。

【請求項6】 第1のSiGe層と第1のSi層との界面、第1のSi層と

第2のバッファSi層との界面及び第2のバッファSi層と第2のSiGe層との界面の酸素濃度が $1 \times 10^{16} \text{ cm}^{-3}$ 以下である請求項5に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】

本発明は、半導体基板の製造方法、半導体基板及び半導体装置に関し、より詳細には、歪みSi層を有する半導体基板の製造方法、半導体基板及び半導体装置に関する。

【0002】

【従来の技術】

半導体装置において、半導体素子中を移動する電子や正孔の移動度を向上させることは、その高性能化に対して有効な手段の一つである。

しかし、一般に、シリコン単結晶からなる基板上に形成される半導体装置では、シリコン単結晶中を移動する電子は、シリコン単結晶の物理的な性質に基づいて、移動度の上限が決定される。

その一方、歪みをもつシリコン結晶中では、歪のないシリコン結晶中に比較し、電子の移動度が向上する。

【0003】

そこで、従来から、シリコン基板上に、シリコンに対して格子定数の大きいSiGe結晶層を仮想格子状に形成し、Si基板との格子定数の不整合によるSiGe膜の歪をミスフィット転位の導入により緩和した後に、SiGe膜上にキャップ層としてSi膜を形成する方法が知られている。このSi膜は、より格子定数の大きいSiGe膜に引っ張られることにより歪が生じ、これによりバンド構造が変化し、キャリアの移動度を向上させることができる。

【0004】

上述したSiGe膜の格子歪を緩和する方法としては、SiGe膜を数 μm と厚膜で成膜し、SiGe膜の歪弾性エネルギーを増大させることにより、格子緩和する方法が知られている。例えば、Y. J. Miiらは、論文Appl. Phys. Lett. 59 (13), 1611 (1991)において、SiGe膜中のGe濃度を徐々に増加し、約

1 μm の濃度傾斜SiGe膜を形成することによるSiGe膜の歪緩和を公表している。

【0005】

また、薄膜状のSiGe膜の歪を緩和する方法としては、水素などのイオン注入を行った後に、高温でアニールすることにより、シリコン基板内の欠陥層にできた積層欠陥がすべりを起こし、SiGe膜/Si基板界面でミスフィット転位を発生させ、格子歪を緩和させる方法が、D. M. Follstaedtら及びH. Trinkausらによって提案されて（例えば、非特許文献1及び2参照）。ここでは、Heイオン注入による歪緩和や、水素イオン注入による歪緩和について記載されている。

【0006】

これらの薄膜状のSiGe膜の格子歪を緩和する方法の場合、薄膜状のSiGe膜の歪み緩和後に、キャップ層として歪みSi層をもつ基板構造の一般的な例として、キャップSi層/第2のSiGe層/第1のSiGe層の構造や、図8に示すようにキャップSi層27/第2のSiGe層26/第1のSiGe層23/Siバッファ層22/Si基板21の構造が考えられている。ここで、図8に示すSi基板1上のSiバッファ層2は、Si基板1表面のダングリングボンドの影響を極力抑えるために形成されている。

【0007】

【非特許文献1】

Appl. Phys. Lett. 69 (14), 2059 (1996)

【非特許文献2】

Appl. Phys. Lett. 76 (24), 3552 (2000)

【0008】

【発明が解決しようとする課題】

しかし、上述したように、SiGe膜を厚膜で成膜して、SiGe膜の歪弾性エネルギーを増大させることにより格子緩和する方法では、完全結晶を得るための臨界膜厚を超えてしまうため、SiGe膜中に非常に多くの欠陥が発生してしまう。また、数 μm の厚いSiGe膜を成膜する必要がある、製造コストが膨大になるという課題がある。

【0009】

さらに、SiGe膜を薄膜で成膜して、水素などのイオン注入を行った後に高温でアニールを行う方法では、得られた基板を用いてMOSトランジスタを作製すると、リーク電流が増大するという問題がある。

本発明は、上記課題に鑑みなされたものであり、歪Si/SiGe/Si構造を有する半導体基板の製造について、臨界膜厚以下の歪SiGe膜において高い歪み緩和度を有し、欠陥密度を低減した歪Si層を有する半導体基板の製造方法を提供することを目的とする。

【0010】

【課題を解決するための手段】

本発明者らは、従来の薄膜状のSiGe膜に水素等のイオン注入を行った後に高温でアニールを行って得られた基板について、鋭意研究を行った結果、薄膜で成膜した第1のSiGe膜を緩和した後、キャップ層のSi膜又は第2のSiGe膜をエピタキシャル成長させる際に、第1のSiGe膜表面の酸素が十分に除去されていない、つまり、キャップSi層/第2のSiGe層/第1のSiGe層/Si基板の構造において、図6に示したSIMSでの酸素濃度の分布を解析結果が示すように、第1のSiGe層と第2のSiGe層との界面で酸素濃度がピーク値に達していることを見出し、さらに、図7に示すように、歪みSi-MOSトランジスタの接合リーク電流と第1SiGe膜/第2SiGe膜間に存在する酸素のピーク濃度との間に比例関係があることをつきとめ、つまり、この残留酸素による欠陥が、キャップ層のSi膜又は第2のSiGe膜中の結晶性を悪化させ、リーク電流増大の原因となることから、第1のSiGe膜/第2のSiGe膜間の酸素濃度を低減することが、MOSトランジスタのリーク電流低減に必要な不可欠の条件であることをつきとめ、本発明の完成に至った。

【0011】

すなわち、本発明によれば、表面がシリコンからなる基板上に、第1のバッファSi層を形成し、該第1のバッファSi層上に第1の歪みSiGe層と第1のSi層とを連続的にエピタキシャル成長させる工程と、得られた基板に、イオン注入し、アニールして、前記第1の歪みSiGe層を格子緩和させ、かつ第1の

S i 層に引張り歪みをもたせる工程と、得られた基板上に第2のバッファ S i 層と第2の S i G e 層とを連続的にエピタキシャル成長させ、該第2の S i G e 層上に引張り歪みをもつ第2の S i 層を形成する工程とを有する半導体基板の製造方法が提供される。

【0012】

また、本発明によれば、表面がシリコンからなる基板上に、第1のバッファ S i 層、第1の S i G e 層、第1の S i 層、第2のバッファ S i 層、第2の S i G e 層及び引張り歪みをもつ第2の S i 層がこの順に積層されて構成され、

前記第1の S i G e 層と第1の S i 層との界面、第1の S i 層と第2のバッファ S i 層との界面及び第2のバッファ S i 層と第2の S i G e 層との界面の酸素濃度が $1 \times 10^{16} \text{ cm}^{-3}$ 以下である半導体基板が提供される。

【0013】

さらに、本発明によれば、表面がシリコンからなる基板上に、第1のバッファ S i 層、第1の S i G e 層、第1の S i 層、第2のバッファ S i 層、第2の S i G e 層及び引張り歪みをもつ第2の S i 層がこの順に積層された基板上に、ゲート絶縁膜を介してゲート電極と、ソース／ドレインとが形成されてなり、

前記第1の S i G e 層と第2の S i G e 層との合計膜厚が、前記ドレインに電圧が印加された場合に広がる空乏層の広がり以上となるように設定されている半導体装置が提供される。

【0014】

【発明の実施の形態】

本発明の半導体基板の製造方法によれば、まず、表面がシリコンからなる基板上に、第1のバッファ S i 層、第1の歪み S i G e 層及び第1の S i 層を形成する。ここで、表面がシリコンからなる基板とは、単結晶シリコン基板又は単結晶シリコン層を表面に有する、いわゆる S O I、S O S 基板等である。基板は、洗浄工程に付して、その表面の自然酸化膜を除去して用いることが好ましい。洗浄は、当該分野で公知の全ての方法を適用することができる。例えば、硫酸ボイル、R C A 洗浄及び／又はフッ酸による酸洗浄等、種々の方法が挙げられる。

【0015】

第1のバッファSi層、第1の歪みSiGe層及び第1のSi層は、公知の方法、例えば、CVD法、スパッタ法、真空蒸着法、MEB法等の種々の方法により形成することができるが、なかでも、CVD法によるエピタキシャル成長法により形成することが好ましい。この場合の成膜条件は、当該分野で公知の条件を選択することができ、特に、成膜温度は、例えば、400～650℃程度が適当である。これら3層のうち、第1の歪みSiGe層と第1のSi層とは、連続的に形成することが必要である。連続的に成膜する方法は、同じ装置内で成膜のための原料ガスを切り替える方法が適当である。これにより、第1の歪みSiGe層と第1のSi層との界面の酸素残留濃度を抑えることができる。

【0016】

第1のバッファSi層は、表面がシリコンからなる基板表面に存在するダングリングボンドの影響を極力抑えることができる程度の膜厚であることが好ましく、具体的には、10nm程度以上が適当である。

第1の歪みSiGe層は、そのGeの濃度について特に限定されるものではないが、例えば、10～40atom%程度、好ましくは20～30atom%が挙げられる。SiGeの膜厚は、臨界膜厚以下であることが好ましい。臨界膜厚とは、基板上にSiGe膜を堆積した時、SiGe膜に格子歪み緩和が生じるSiGe膜の膜厚を意味する。具体的には、シリコン基板上に、上記の範囲のGeの濃度を有するSiGe膜を形成する場合には、500nm程度以下が挙げられ、5～500nm程度、さらに10～300nm程度が適当である。なお、Geの濃度は、膜厚方向及び層表面方向（面内方向）に連続的又は段階的に傾斜して変化していてもよいが、均一であることが好ましい。

【0017】

第1のSi層は、後工程において第1の歪みSiGe層の歪みを緩和するために行うイオン注入によって、SiGe層に結晶欠陥が導入されず、かつ、その上にSi等の半導体層を成膜する際に、上述したように、基板の表面を洗浄するのと同様の方法で洗浄することができるように形成されるものである。単結晶シリコン層が必須である。膜厚は、例えば、Ge濃度30%のSiGe膜の場合20nm程度以下が好ましい。

続いて、得られた基板にイオン注入し、その基板をアニールする。

【0018】

イオン注入は、イオンが通過したSiGe膜には結晶欠陥を残留させず、イオンが停止する平均飛程(R_p)の直前に核阻止能が最大になって平均飛程(注入ピーク)付近に結晶欠陥を導入し、後述するアニールを含む工程で、デバイスに電氣的に影響を与えないイオン種を選択することが好ましい。例えば、シリコン、炭素、ゲルマニウム等のIV族元素、ネオン、ヘリウム等の不活性ガス、水素等が挙げられるが、特に、質量の小さい、軽い元素をイオン注入する場合には、注入領域に対して、非晶質化することなく、埋め込み結晶欠陥を導入することができるため、水素又はヘリウムが好ましく、水素がより好ましい。

【0019】

イオン注入されるイオンの平均飛程(R_p)は、第1のSiGe膜の膜厚より深く、さらには、第1のバッファSi層、第1の歪みSiGe層及び第1のSi層の合計の膜厚よりも深く設定することが有効である。つまり、イオン注入の平均飛程は、表面がシリコンからなる基板表面付近から下方に深く設定することで、SiGe膜表面まで延伸する結晶欠陥の低減化が図れる。したがって、表面がシリコンからなる表面から下方50nm程度までの範囲に設定することが望ましい。このようなことから、イオン注入の加速エネルギーは、用いるイオン種、第1のバッファSi層、第1の歪みSiGe層及び第1のSi層の膜厚等によって適宜調整することができ、例えば、水素イオン注入の場合、10～50keV程度、好ましくは20～40keV程度の注入エネルギーが挙げられる。注入するイオンのドーズは、例えば、 $1 \times 10^{15} \sim 1 \times 10^{17} \text{ cm}^{-2}$ 程度、より好ましくは $1 \times 10^{15} \sim 5 \times 10^{16} \text{ cm}^{-2}$ 程度が挙げられる。

【0020】

熱処理は、例えば、炉アニール、ランプアニール、RTA等が挙げられ、不活性ガス雰囲気(アルゴン等)、大気雰囲気、窒素ガス雰囲気、酸素ガス雰囲気、水素ガス雰囲気等で、700～950℃の温度範囲で、10～30分間程度行うことができる。

なお、本発明では、イオン注入を行う前に、第1のSi層上に保護膜を形成す

ることが好ましい。ここでの保護膜の材料及び膜厚は特に限定されるものではなく、絶縁膜又は半導体膜等のいずれであってもよい。具体的には、熱酸化膜、低温酸化膜：LTO膜等、高温酸化膜：HTO膜、P-CVDによるシリコン酸化膜、シリコン窒化膜等のいずれでもよい。保護膜の膜厚は、例えば、20～150 nm程度が挙げられる。また、アニールの後、第2のバッファSi層を形成する前に、保護膜を除去することが好ましい。保護膜の除去は、当該分野で公知の方法、例えば、酸又はアルカリ溶液を用いたウェットエッチング、ドライエッチング等が挙げられる。

【0021】

これにより、第1の歪みSiGe層を格子緩和させることができるとともに、第1のSi層に引張り歪みをもたせることができる。

また、本発明では、アニールの後、後述する第2のバッファSi層を形成する前に、第1のSi層を洗浄して、自然酸化膜を除去するとともに、第1のSi層表面に存在する残留酸素濃度を低減されることが好ましい。ここでの洗浄は、上述した表面にシリコン層を有する基板の表面を洗浄する方法と同様の方法が挙げられる。

【0022】

得られた基板上に第2のバッファSi層と第2のSiGe層とを連続的にエピタキシャル成長させ、さらに第2のSiGe層上に引張り歪みをもつ第2のSi層を形成する。ここでの第2のバッファSi層、第2のSiGe層及び第2のSi層の形成方法は、上述したと同様の方法で行うことができる。なお、第2のバッファSi層と第2のSiGe層とを連続的にエピタキシャル成長させることが必要である。これら第2のバッファSi層、第2のSiGe層及び第2のSi層は、それぞれ、5～20 nm程度、100～300 nm程度及び5～20 nm程度で形成することができる。

【0023】

このようにして形成された基板は、第1のSiGe層と第1のSi層との界面、第1のSi層と第2のバッファSi層との界面及び／又は第2のバッファSi層と第2のSiGe層との界面の酸素濃度が、非常に抑えられた状態である。つ

まり、これらの界面の少なくとも1つの界面の残留酸素濃度が $1 \times 10^{16} \text{ cm}^{-3}$ 程度以下、好ましくは全ての界面の残留酸素濃度がそれぞれ $1 \times 10^{16} \text{ cm}^{-3}$ 程度以下、さらに好ましくは全ての界面の残留酸素濃度の合計が $1 \times 10^{16} \text{ cm}^{-3}$ 程度以下である。このような場合には、特に、第1及び第2のSiGe層の界面における残留酸素に起因する第2のSi層及び第2のSiGe層の結晶性の悪化、ひいてはリーク電流の増大を有効に防止することができる。

【0024】

上記のようにして形成した基板は、例えば、通常の半導体プロセスにしたがって、素子分離領域の形成、ゲート絶縁膜及びゲート電極の形成、LDD又はDDD領域あるいはソース／ドレイン領域の形成、層間絶縁膜の形成、配線層の形成等の種々の工程を行うことにより、種々の半導体装置（例えば、NMOS、PMOS、CMOSトランジスタ、フラッシュメモリセルトランジスタ等）を構成するものとして利用することができる。

【0025】

具体的には、MOSトランジスタは、上記で得られた基板上にゲート絶縁膜を介してゲート電極と、ソース／ドレインとが形成されて構成される。ここでのゲート絶縁膜、ゲート電極は、当該分野で公知の材料、寸法、方法等を適宜選択して形成することができる。上記で得られた基板は、基板抵抗等を調整するために不純物がドーピングされていることが好ましく、例えば、 $1 \times 10^{17} \sim 1 \times 10^{18} \text{ cm}^{-3}$ 程度の不純物濃度が挙げられる。ソース／ドレインは、通常、この種の半導体装置を構成するために要求される不純物濃度、接合深さ等を適宜選択して形成することができる。たとえば、 $1 \times 10^{19} \sim 1 \times 10^{21} \text{ cm}^{-3}$ 程度の不純物濃度、 $50 \sim 200 \text{ nm}$ 程度の接合深さが挙げられる。また、このような半導体装置においては、基板における第1のSiGe層と第2のSiGe層との合計膜厚が、ドレインに電圧が印加された場合に広がる空乏層の広がり以上となるように設定されていることが好ましい。ここでのドレイン電圧は、特に限定されるものではなく、例えば、 $1.0 \sim 5.0 \text{ V}$ 程度が挙げられる。

【0026】

このように、空乏層の広がりよりも第1のSiGe層と第2のSiGe層との

合計膜厚が大きい場合、逆にいえば、第1のSiGe層と第2のSiGe層との合計膜厚よりも小さくなるように空乏層を発生させる場合には、特に、電子又は正孔の移動度を向上させ、駆動能力を増大させることができる。

以下に、本発明の半導体基板の製造方法、半導体基板及び半導体装置の実施の形態について、図面を用いて詳細に説明する。

【0027】

本発明の半導体基板は、図1に示すように、シリコン基板1上に、第1のバッファSi層2、歪が緩和された第1のSiGe層3、第1のSi層4、第2のバッファSi層5、第2のSiGe層6及び引張り歪みをもつ第2のSi層7がこの順に積層されて構成されており、第1のSiGe層3と第1のSi層4との界面、第1のSi層4と第2のバッファSi層5との界面及び第2のバッファSi層5と第2のSiGe層6との界面の酸素濃度が低く抑えられている。

上記のような基板は、以下の方法により形成することができる。

【0028】

まず、図2(a)に示すように、硫酸ボイルとRCA洗浄を実施し、5%希フッ酸にて、p型シリコン(100)基板1表面の自然酸化膜を除去する。

次いで、図2(b)に示すように、シリコン基板1上に、低圧気相成長(LP-CVD)装置を用いて、厚さ5nmの第1のバッファSi層2をエピタキシャル成長させた。このバッファSi層2は、シリコン基板1の前処理(硫酸ボイル、RCA洗浄、5%希フッ酸処理工程)後において、シリコン基板1表面に存在するダングリングボンドの影響を極力抑えるために形成されている。引き続き、ゲルマン(GeH_4)とシラン(SiH_4)とを原料に、Ge濃度30%の第1のSiGe層3を150nmの膜厚になるまでエピタキシャル成長させ、続いて5nmの第1のSi層4を連続エピタキシャル成長させた。つまり、ここでは、第1バッファSi層2、第1のSiGe層3、第1のSi層4の一連の成膜を連続して行った。なお、第1のSiGe層3の膜厚は臨界膜厚以下の条件である。また、5nmの第1のSi層4を連続エピタキシャル成長させるのは、第1のSiGe層3と後に形成される第2のSiGe層6間の残留酸素を低減するためである。表面を第1のSi層4とすることで、水素イオン注入工程後の洗浄工程において

も、通常のSi基板と同じ洗浄工程を行えるというメリットがある。

【0029】

次に、図2(c)に示すように、汚染防止膜として20nmの酸化膜8を成膜し、注入エネルギー18keV、ドーズ $3 \times 10^{16} \text{H}^+/\text{cm}^2$ 、チルト角7°の条件にて水素イオン注入を行った。

その後、図2(d)に示すように、酸化膜8を取り除き、N₂雰囲気中で800℃、10分間アニールを行なった。このアニールにより、格子歪みをもつ第1のSiGe層3の格子歪みが、XRD解析より十分に緩和されていることが確認された。また、この格子歪み緩和された第1のSiGe層3の表面は、ノマルスキー顕微鏡で観察した結果、表面荒れは観察されず、平滑であった。この条件で、第1のSiGe層3は十分格子歪みが緩和され、結晶性も良好であった。

【0030】

次いで、得られた基板1の第1のSi層4表面を、5%希フッ酸処理及び超純水洗浄処理に付し、図2(e)に示すように、低圧気相成長装置を用い、5nmの第2のバッファSi層5をエピタキシャル成長させる。これは、先に述べた第1のバッファSi層2を堆積した理由と同様である。さらに、連続してゲルマン(GeH₄)とシラン(SiH₄)を原料に、Ge濃度30%の第2のSiGe層6を150nmエピタキシャル成長させ、続いて20nmの第2のSi層7を連続エピタキシャル成長させた。つまり、ここでは、第2のバッファSi層、第2のSiGe層、第2のSi層の一連の成膜を連続して行った。

【0031】

上記の半導体基板を用いて、図3に示すようなSiGe-CMOS(歪Si-CMOS)を作製した。

このMOSトランジスタは、当該分野で公知の方法により、得られた基板の上に、ゲート絶縁膜11を介してゲート電極12が形成されており、ゲート電極は、その側壁にサイドウォールスペーサ13を有する。また、ゲート電極12に対して自己整合的にソース/ドレイン10、9が形成されている。このMOSトランジスタは、得られた基板における半導体層(つまり、第1のバッファSi層2、歪が緩和された第1のSiGe層3、第1のSi層4、第2のバッファSi層

5、第2のSiGe層6及び引張り歪みをもつ第2のSi層7)に、不純物が均一にドーピングされて(例えば、 $4 \times 10^{17} \text{ cm}^{-3}$ 程度)、所定の抵抗値を確保しており、ソース/ドレイン10、9の不純物濃度及び接合深さは、 $1 \times 10^{21} \text{ cm}^{-3}$ 程度以上及び110nm程度に設定されている。

【0032】

このように構成されるCMOSトランジスタでは、ドレイン9に2.5Vの電圧を印加した場合、空乏層14が形成され、この空乏層14の広がり、第1のSiGe層3(膜厚150nm)と第2のSiGe層6(膜厚150nm)との合計膜厚以下(例えば、140nm程度)となるように設定されている。

このようなCMOSの特性評価を行った。その結果を図4及び図5に示す。

【0033】

図4は、歪みSi-NMOS(SiGeNMOS)トランジスタと従来のSi基板NMOSトランジスタとの I_d-V_d 特性(図4(a)参照)及び G_m 特性(図4(b)参照)を比較したものである。なお、図4においては、第2のSiGe層の実効Ge濃度は16%である。ここで、実効Ge濃度は、実際に形成したSiGe層のGe濃度にSiGe緩和率をかけた値で表される。図5は、歪みSiPMOS(SiGePMOS)トランジスタと従来のSi基板PMOSトランジスタとの I_d-V_d 特性(図5(a)参照)及び G_m 特性(図5(b)参照)を比較したものである。図5においての第2のSiGe層の実効Ge濃度は24%である。

【0034】

図4によれば、本発明の歪みSi-NMOS及びPMOSのいずれにおいても、 I_d-V_d 特性において、トランジスタの駆動能力が向上したことがわかる。また、図5によれば、本発明の歪みSi-NMOS及びPMOSのいずれにおいても、 G_m 特性において、移動度が向上したことがわかる。

また、酸素ピーク濃度に起因する接合リーク電流を測定したところ、本発明の歪みSi-MOSトランジスタは、従来のSi基板に作製されたMOSトランジスタに比べ、1桁以上低減されており、上記の製造工程で、酸素ピーク濃度が低減されていることを確認した。

【0035】

【発明の効果】

本発明によれば、結晶性に影響を与える第1のSiGe層と第2のSiGe層との間の残留酸素を低減することができ、それにより、SiGe層中の貫通転位密度を低減し、結晶性の良い歪みSi層／歪み緩和SiGe層を有する半導体基板を製造することが可能となる。

【0036】

また、第2のバッファ層を形成する前に、第1のSi層表面を洗浄することにより、それらの間の残留酸素濃度をさらに抑えることができ、結晶性のよい半導体基板を得ることができる。特に、第1のSiGe層と第1のSi層との界面、第1のSi層と第2のバッファSi層との界面及び／又は第2のバッファSi層と第2のSiGe層との界面の酸素濃度が $1 \times 10^{16} \text{ cm}^{-3}$ 以下の場合には、その効果が顕著である。

【0037】

さらに、第1のSiGe層を、臨界膜厚以下の膜厚で形成する場合には、第1のSiGe層に結晶欠陥を導入することなく、かつ格子歪みの緩和を十分に行うことができ、より結晶欠陥の少ない高性能の半導体基板を得ることができる。

【0038】

また、上記半導体基板を用いて半導体装置を構成した場合に、第1のSiGe層と第2のSiGe層との合計膜厚が、ドレインに電圧が印加された場合に広がる空乏層の広がり以上となるように設定されている場合には、半導体装置の電子又は正孔の移動度を向上させることができるとともに、駆動能力をも向上させることができ、高性能な半導体装置を得ることが可能となる。

【図面の簡単な説明】

【図1】

本発明の半導体基板の実施の形態を示す断面図である。

【図2】

図1の半導体基板の製造工程を示す概略断面工程図である。

【図3】

本発明の半導体基板を用いた半導体装置である歪Si-MOSトランジスタを示す要部の概略断面図である。

【図4】

図3に示すNMOSトランジスタの電気特性を示す図である。

【図5】

図3に示すPMOSトランジスタの電気特性を示す図である。

【図6】

従来のMOSトランジスタにおける第1のSiGe層と第2のSiGe層との間の残留酸素濃度をSIMSで測定した場合のグラフである。

【図7】

歪みSi-MOSトランジスタの接合リーク電流と第1のSiGe層／第2のSiGe界面の残留酸素のピーク濃度との関係を示すグラフである。

【図8】

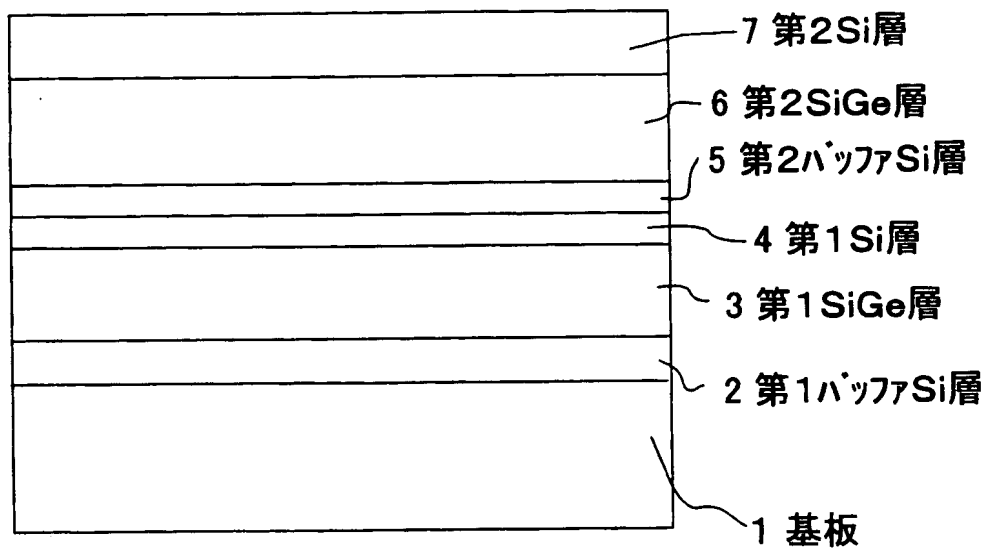
従来の歪みSi層を有する半導体基板の断面図である。

【符号の説明】

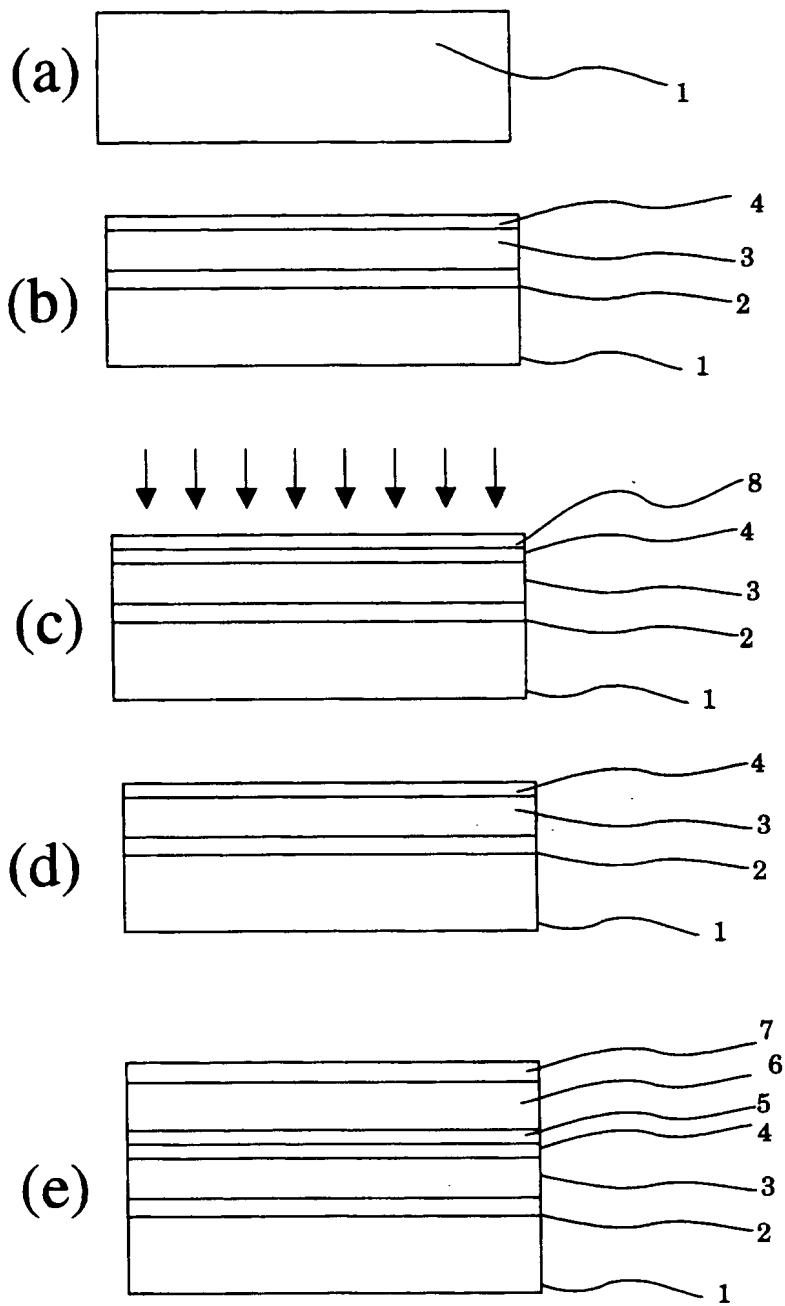
- 1 Si基板
- 2 第1のバッファSi層
- 3 第1のSiGe層
- 4 第1のSi層
- 5 第2のバッファSi層
- 6 第2のSiGe層
- 7 第2のSi層
- 8 酸化膜
- 9 ドレイン
- 10 ソース
- 11 ゲート酸化膜
- 12 ゲート電極
- 13 サイドウォールスペーサ
- 14 空乏層

【書類名】 図面

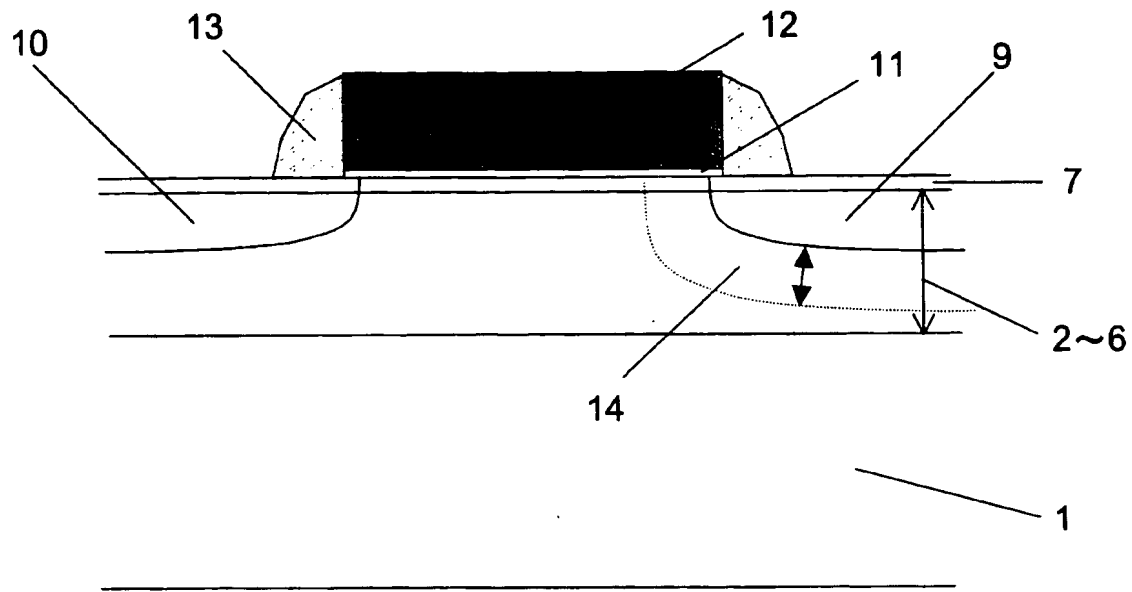
【図 1】



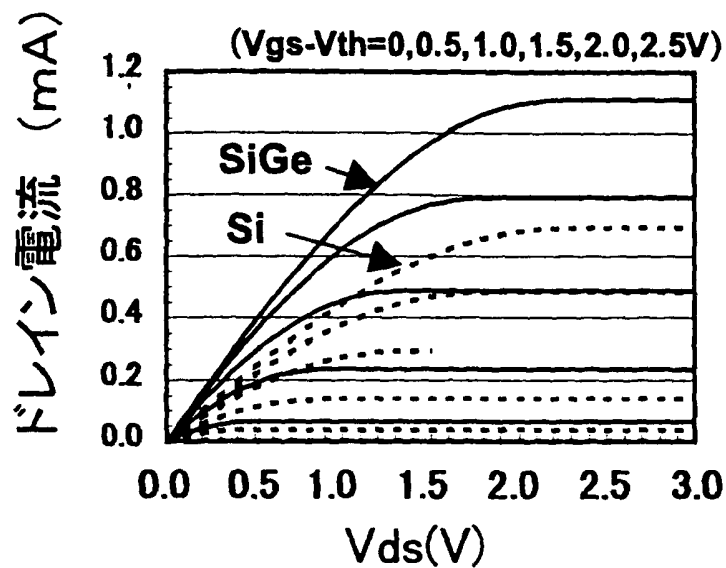
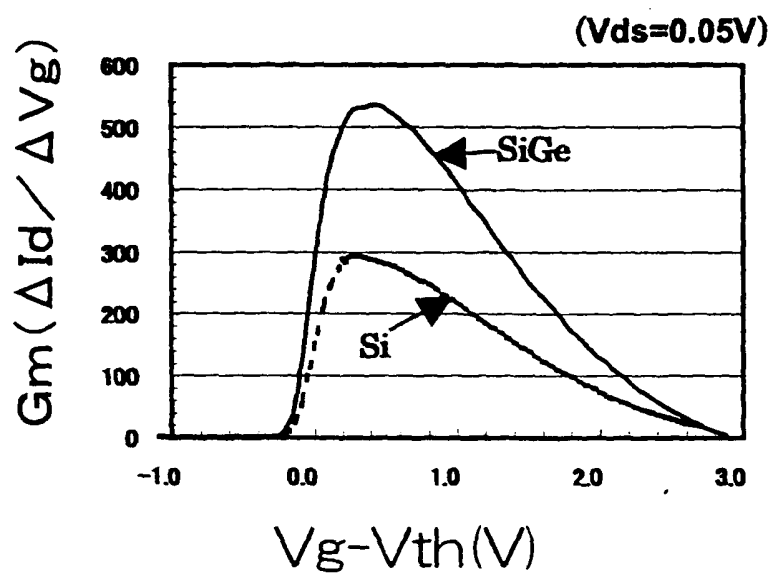
【図 2】



【図 3】

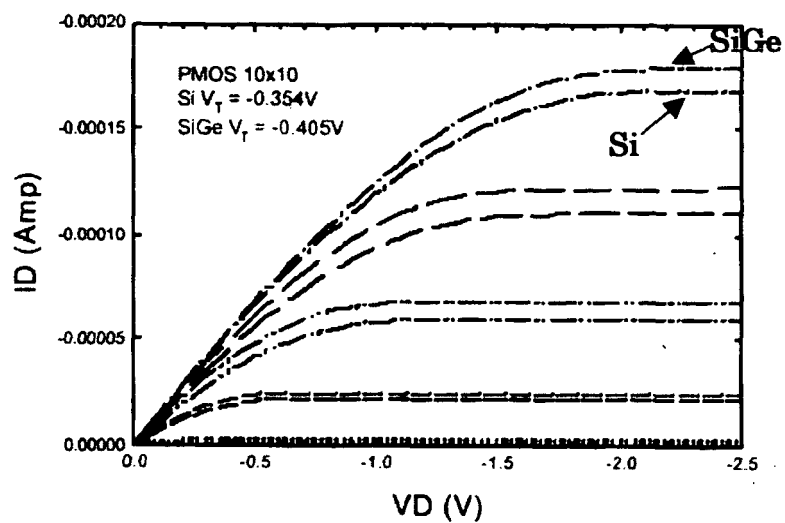


【図 4】

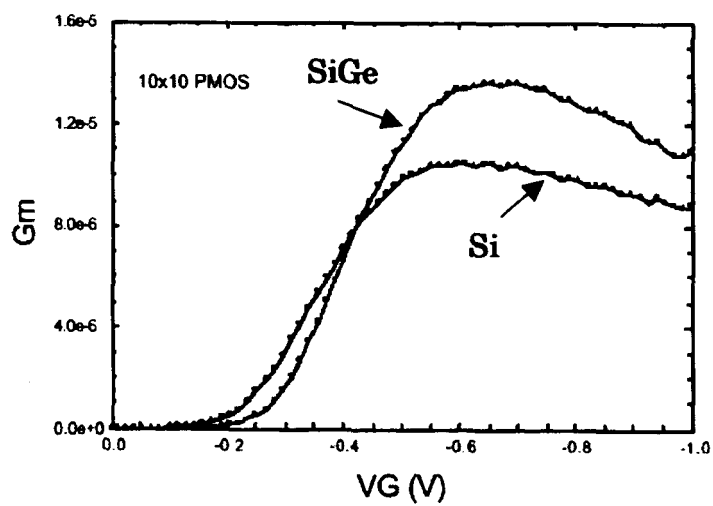
(a) NMOSの I_d - V_d 特性(b) NMOSの $G_m (dI_d/dV_g)$ 特性

【図 5】

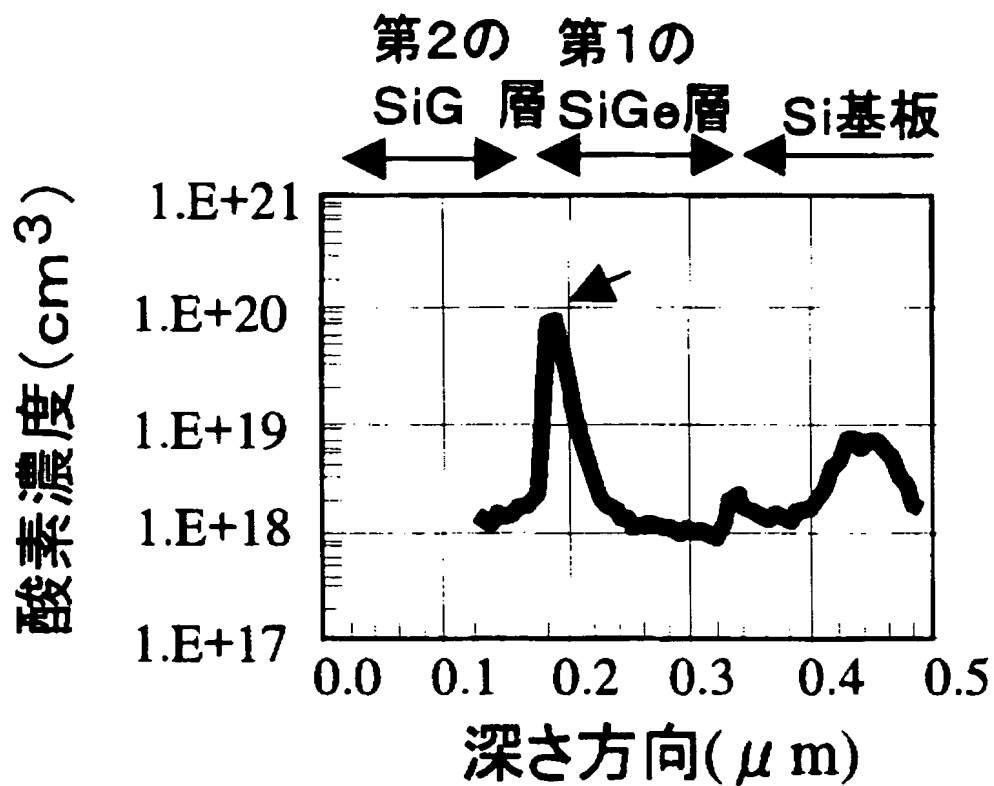
(a)PMOSの I_d - V_d 特性



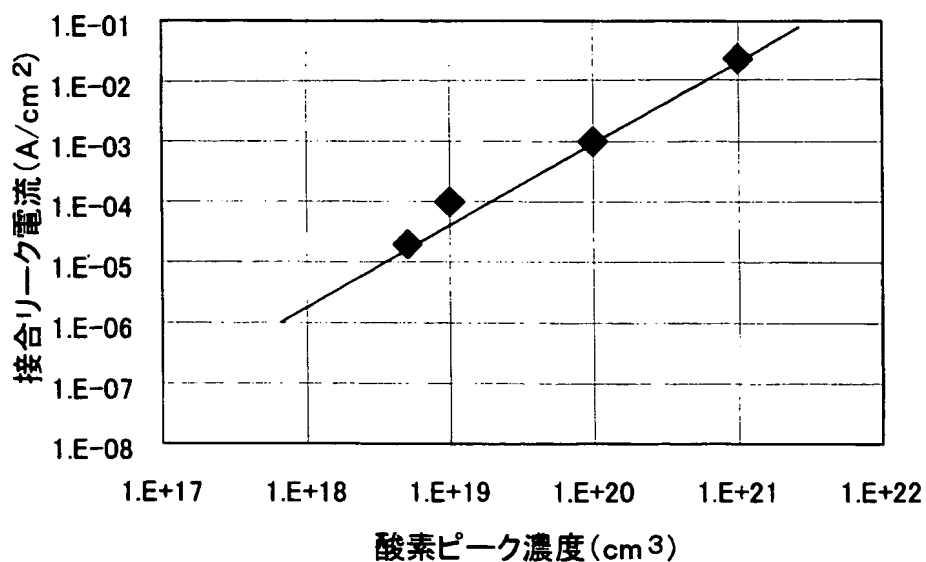
(b)PMOSの G_m ($\Delta I_d / \Delta V_g$)特性



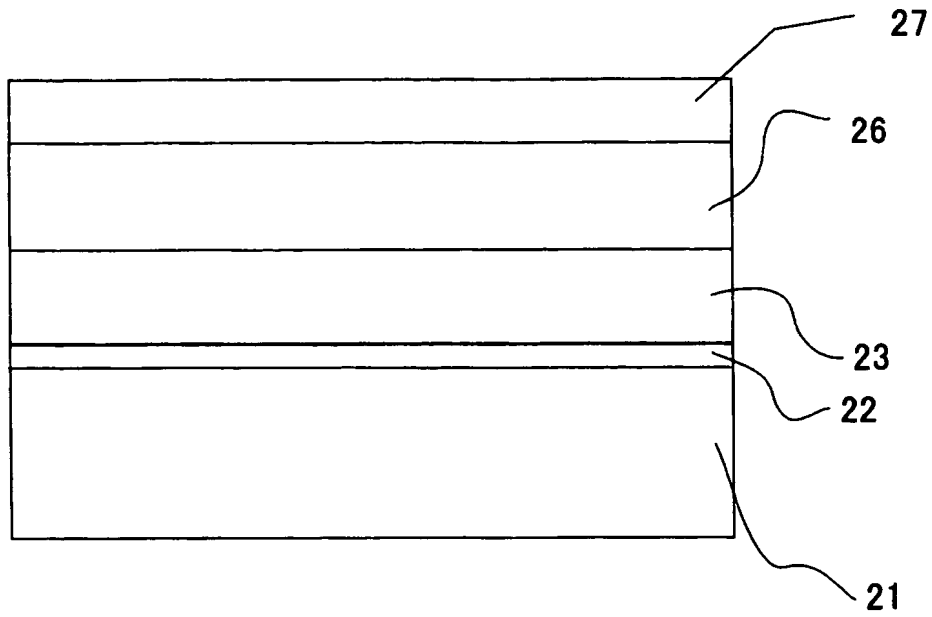
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 歪Si/SiGe/Si構造を有する半導体基板の製造について、第1のSiGe層と第2のSiGe層との界面の残留酸素濃度を低減させることにより、臨界膜厚以下の歪SiGe膜において高い歪み緩和度を有し、欠陥密度を低減した歪Si層を有する半導体基板の製造方法を提供する。

【解決手段】 基板1上に、第1バッファSi層2を形成し、第1バッファSi層2上に第1SiGe層3と第1Si層4とを連続的に成長させ、得られた基板1にイオン注入／アニールして第1SiGe層3を格子緩和させ、得られた基板1上に第2バッファSi層5と第2SiGe層6とを連続的に成長させ、第2SiGe層6上に第2Si層7形成する半導体基板の製造方法、さらには、第2バッファSi層5を形成する前に、第1Si層4表面を洗浄して残留酸素濃度を抑える半導体基板の製造方法。

【選択図】 図1

特願 2 0 0 2 - 2 6 3 1 5 8

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 0 4 9]

1. 変更年月日	1 9 9 0 年 8 月 2 9 日
[変更理由]	新規登録
住 所	大阪府大阪市阿倍野区長池町 2 2 番 2 2 号
氏 名	シャープ株式会社